

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-350068

(43)Date of publication of application : 22.12.1994

(51)Int.Cl.

H01L 27/14

(21)Application number : 05-133666

(71)Applicant : HAMAMATSU PHOTONICS KK

(22)Date of filing : 03.06.1993

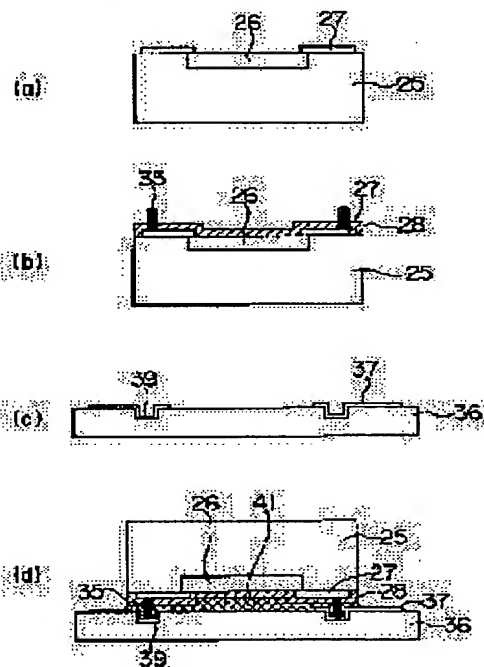
(72)Inventor : MURAMATSU MASA HARU  
SUYAMA MOTOHIRO  
YAMAMOTO AKINAGA

## (54) MANUFACTURE OF SEMICONDUCTOR ENERGY RAY DETECTOR

### (57)Abstract:

PURPOSE: To flip-chip-bond a semiconductor substrate and a substrate easily at a lower cost by fitting or inserting metal bumps on the semiconductor substrate to the recessed parts or into through holes of the substrate, and aligning the semiconductor and the substrate.

CONSTITUTION: Alignment of a CCD 26 and a substrate 36 is performed by fitting metal bumps 35 to the recessed parts 39. So the metal bumps 35 and metal wires 37 are connected mechanically and electrically by putting a weight on and applying pressure, and heating them in an oven. As a result of this, it becomes unnecessary to use a flip chip bonding machine as before, and it becomes possible to flip-chip-bond the CCD 26 and the substrate 36 easily at a lower cost.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

3/4

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-350068

(43) 公開日 平成6年 (1994) 12月22日

(51) Int. Cl. <sup>6</sup> H 0 1 L 27/14	識別記号	庁内整理番号 7210-4M	F I H 0 1 L 27/14	技術表示箇所 K
---	------	-------------------	----------------------	-------------

審査請求 未請求 請求項の数 8 O L (全 22 頁)

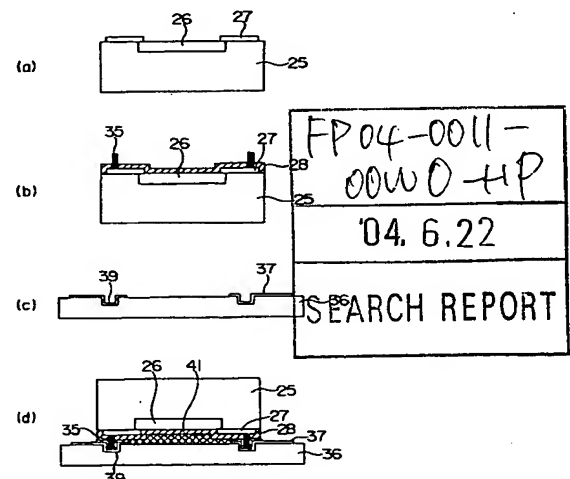
(21) 出願番号 特願平5-133666	(71) 出願人 000236436 浜松ホトニクス株式会社 静岡県浜松市市野町1126番地の1
(22) 出願日 平成5年 (1993) 6月3日	(72) 発明者 村松 雅治 静岡県浜松市市野町1126番地の1 浜松ホ トニクス株式会社内 (72) 発明者 須山 本比呂 静岡県浜松市市野町1126番地の1 浜松ホ トニクス株式会社内 (72) 発明者 山本 晃永 静岡県浜松市市野町1126番地の1 浜松ホ トニクス株式会社内 (74) 代理人 弁理士 長谷川 芳樹 (外 3 名)

(54) 【発明の名称】 半導体エネルギー線検出器の製造方法

(57) 【要約】 (修正有)

【目的】 半導体基板が補強後に均一な厚さに薄板化され、エネルギー線入射面に凹凸を生じないように組立てられる裏面照射型の半導体エネルギー線検出器の製造方法である。

【構成】 まず、P/P<sup>+</sup> 型シリコン基板 25 の表面側に CCD 26 及び金属配線 27 を形成する (a)。次に、ボンディングパッドを除く 25 の露出面上にシリコン窒化膜 28 を堆積し、金属配線 27 上に金属バンプ 35 を成形する (b)。35 に対向配置するようにサブストレイト 36 上に凹部 39 を形成し、金属配線 37 を形成する (c)。35 を凹部 39 に挿着した後、35 と 37 を接続する。CCD 26 と 36 の間隙に絶縁性の低融点ガラス 41 を充填硬化させる (d)。型基板 25 全体を裏面側から薄板化して裏面シリコン酸化膜を形成し、その内部に P<sup>+</sup> 型アキュムレーション層を形成してアクティベーションを行う。36 をセラミックパッケージ内部の底面にダイボンディングして、ボンディングパッドおよびリードをボンディングする。さらに、パッケージ上部に入射窓を設置する。



1

## 【特許請求の範囲】

【請求項1】 薄板化された半導体基板の裏面に入射したエネルギー線を検出する半導体エネルギー線検出器の製造方法において、

前記半導体基板上にエネルギー線検出素子に接続された金属バンプを所定高さに成形する第1の工程と、サブストレイト上に前記金属バンプに対向配置された凹部を所定深さに形成し、該凹部を含む該サブストレイト上に金属配線を形成する第2の工程と、前記金属バンプを前記凹部に挿着して形成された前記半導体基板および前記サブストレイトの間隙に絶縁性を有する充填剤を充填して硬化する第3の工程と、前記充填剤を介して前記サブストレイトを固着された表面に対向配置された裏面側から前記半導体基板を薄板化する第4の工程とを備えることを特徴とする半導体エネルギー線検出器の製造方法。

【請求項2】 前記第3の工程は、前記凹部に導電性を有する液状物を注入した後、前記金属バンプを該凹部に挿着し、該液状物を焼結して該金属バンプおよび前記金属配線を接続し、前記間隙に前記充填剤を充填して硬化することを特徴とする請求項1記載の半導体エネルギー線検出器の製造方法。

【請求項3】 前記第3の工程は、絶縁性を有するシートに形成された前記金属バンプに対向配置された貫通孔に該金属バンプを挿通した後、該金属バンプを前記凹部に挿着し、該シートを溶融して前記半導体基板および前記サブストレイトを密着し、該シートを硬化して該半導体基板および該サブストレイトを固着することを特徴とする請求項1記載の半導体エネルギー線検出器の製造方法。

【請求項4】 薄板化された半導体基板の裏面に入射したエネルギー線を検出する半導体エネルギー線検出器の製造方法において、前記半導体基板上にエネルギー線検出素子に接続された金属バンプを所定高さに成形する第1の工程と、サブストレイト上に前記金属バンプに対向配置された貫通孔を形成し、該貫通孔の内側面を含む該サブストレイト上に金属配線を形成する第2の工程と、前記金属バンプを前記貫通孔に挿着して形成された前記半導体基板および前記サブストレイトの間隙に絶縁性を有する充填剤を充填して硬化する第3の工程と、前記充填剤を介して前記サブストレイトを固着された表面に対向配置された裏面側から前記半導体基板を薄板化する第4の工程とを備えることを特徴とする半導体エネルギー線検出器の製造方法。

【請求項5】 前記第3の工程は、絶縁性を有するシートに形成された前記金属バンプに対向配置された貫通孔に該金属バンプを挿通した後、該金属バンプを前記サブストレイトに形成された前記貫通孔に挿着し、該シートを溶融して前記半導体基板および該サブストレイトを密

2

着し、該シートを硬化して該半導体基板および該サブストレイトを固着することを特徴とする請求項3記載の半導体エネルギー線検出器の製造方法。

【請求項6】 前記サブストレイトは、前記半導体基板との間隙に前記充填剤を注入する貫通した注入孔を有することを特徴とする請求項1または請求項3記載の半導体エネルギー線検出器の製造方法。

【請求項7】 前記サブストレイトは、前記半導体基板との間隙から空気を押出する貫通した複数の細孔を有することを特徴とする請求項1または請求項3記載の半導体エネルギー線検出器の製造方法。

【請求項8】 前記サブストレイトは、通気性の多孔質材から形成されていることを特徴とする請求項1または請求項3記載の半導体エネルギー線検出器の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、紫外線、電子線、放射線および素粒子線などの吸収係数が極めて大きいエネルギー線の照射、またはゲート酸化膜に悪影響を及ぼすエネルギー線の照射に対して有効な感度が得られる裏面照射型ダイオード、裏面照射型電荷転送型半導体検出器等の半導体エネルギー線検出器の製造方法に関する。

## 【0002】

【従来の技術】表面入射型CCD（電荷転送素子）では、入射光が電極等で吸収されるので、吸収係数が大きい入力、例えば波長が短い青色の光に対する感度低下が著しいという問題がある。このCCDの受光部では、ポリシリコン電極20が隙間なく表面を被覆し、さらに各ポリシリコン電極20を分離するために厚さ数μmにも及ぶPSG膜19が積層されている。特に、ポリシリコンは、400nm以下の波長の光や低エネルギーの電子線などを吸収してしまうので、光電変換に寄与することができない。

【0003】図21は、従来の裏面照射型CCDの構成を示す要部断面図である。上記のような問題点に鑑み、P型シリコン基板24の内側部を15～20μm程度に薄板化し、光を裏面から照射するように形成された裏面照射型CCDがある。このP型シリコン基板24の表面はゲート酸化膜21を挟んでポリシリコン電極20により隙間無く被覆されているので、入射した短波長光を吸収してしまうが、P型シリコン基板24の裏面には薄い裏面シリコン酸化膜23の他に障害物はないので、短波長光に対して高感度が期待できる。

【0004】また、通常のCCDでは、P型シリコン基板24の厚さは400～600μmであり、これに対して入射した波長200～300nmの紫外線は裏面からわずか10nm程度の位置で吸収されてしまい、発生した信号電荷子は転送電極群2から電圧を供給されたポリシリコン電極20によりN型チャネル層22のポテンシャル井戸に効率良く拡散していくことができずほとんど

どは再結合して失われるか、ポテンシャル井戸に到達することができてその拡散してきた過程で混じり合うので、解像度が著しく低下する。そのため、このような裏面照射型CCDでは、P型シリコン基板24を裏面側から機械的研磨または化学エッチングで薄板化し、発生した信号電荷が最短距離で表面付近にあるポテンシャル井戸に到達できるようにする必要がある。この薄板化されたP型シリコン基板24の内側部における代表的な厚さは、 $15\mu\text{m}$ である。

【0005】従って、この裏面照射型CCDは200nm程度の短波長光まで感度があり、さらに電子衝撃型CCD撮像デバイスにも応用される。このデバイスは電子衝撃により生じる信号電荷の増倍作用を利用できるので、高感度撮像デバイスとして期待される。なお、裏面シリコン酸化膜23は反射膜として厚さ1～数十nmを有しており、電子線を検出する場合には薄い、または無いことが望まれる。

【0006】図22は、従来の裏面照射型CCDの製造方法を示す工程断面図である。まず、P層及びP<sup>+</sup>層を積層したエピウエファであるP/P<sup>+</sup>型シリコン基板25に対して、CCD26およびアルミニウム配線27などを形成する工程を順次行い、予め全てのCCD製造プロセスを終了させる。次に、P/P<sup>+</sup>型シリコン基板25の裏面に形成されているシリコン窒化膜及びシリコン酸化膜を除去する。次に、使用するアルカリエッチャントのKOHに対するエッチングマスク材であるシリコン窒化膜28をCCD26およびアルミニウム配線27の表面、P/P<sup>+</sup>型シリコン基板25の裏面などに堆積する。次に、CCD26に対向配置されたP/P<sup>+</sup>型シリコン基板25の内側領域の裏面におけるシリコン窒化膜28を除去する(図22(a))。このP/P<sup>+</sup>型シリコン基板25では、エピ層の比抵抗及び厚さはそれぞれ $30\Omega\cdot\text{cm}$ 、 $30\mu\text{m}$ であり、サブのエピ層の比抵抗及び厚さはそれぞれ $0.01\Omega\cdot\text{cm}$ 、 $500\mu\text{m}$ である。

【0007】なお、この後の工程においてP/P<sup>+</sup>型シリコン基板25の受光部を薄板化した後にA1配線を施すことも当然考えられるが、薄板化した部分に写真食刻法を用いるのは困難である上に、アルミニウム配線工程中に薄板化した部分が割れるなどのおそれがある。そのため、歩留まりを低くしないように、P/P<sup>+</sup>型シリコン基板25の受光部を薄板化する前に、できる限り多くのCCD製造プロセスを終了しておく必要がある。また、P/P<sup>+</sup>型エピウエファを用いてCCD内臓読み出し回路のFETをN型チャンネルとすることにより、P型チャンネルと比較して同じゲートサイズに対してオン抵抗を小さくし、発生する熱雑音(ジョンソンノイズ)を低減することができる。また、P/P<sup>+</sup>型エピウエファの基板としてP<sup>+</sup>型を用いることにより、バルク中の少数キャリアのライフタイムを短くするので、バル

ク中の暗電流成分がCCD26のポテンシャル井戸3に流れ込んで発生する暗電流を低減することができる。さらに、通常バルク領域では酸素濃度が高いことにより、プロセス中の熱処理で多くの結晶欠陥が誘起されて欠陥のシンクとなるので、CCD26が形成されるP層の表面付近に結晶欠陥が生じない。

【0008】次に、CCD26に対向配置されたP/P<sup>+</sup>型シリコン基板25の内側部における裏面を化学エッチングで凹状に薄板化する。次に、この薄板化されたP/P<sup>+</sup>型シリコン基板25の内側部における厚さを測定する。この結果、厚さが $20\mu\text{m}$ 以上になる場合、再び化学エッチングを行う。次に、 $120^\circ\text{C}$ の蒸気中で48時間、P/P<sup>+</sup>型シリコン基板25の裏面全体を酸化する。例えば、検出対象のエネルギー線を紫外線とする場合、反射防止膜としてシリコン酸化膜30を成長形成する。次に、イオン注入装置でボロン原子をイオン注入するアキュムレーションを行い、シリコン酸化膜30に接するP/P<sup>+</sup>型シリコン基板25の内部にP<sup>+</sup>型アキュムレーション層29を形成する。次に、電気炉による加熱、ランプアニールまたはレーザーアニール等によりP<sup>+</sup>型アキュムレーション層29内部のボロン原子にアクティベーションを行う。次に、CCD26および金属配線27などの表面上からシリコン窒化膜28をプラズマエッチング等により除去し、金属配線27のボンディングパッドを露出する(図22(b))。

【0009】なお、化学エッチングで用いるアルカリエッチャントの組成は、8規定KOH950ml、 $\text{H}_2\text{O}$ 1150ml、イソプロピルアルコール700mlなどである。このアルカリエッチャントは $78^\circ\text{C}$ 程度に加熱され、P/P<sup>+</sup>型シリコン基板25を自公転するように回転させることにより、良く攪拌される。攪拌が不十分である場合、エッチング面の荒れや基板厚さの不均一が生じるので、エネルギー線に対する感度が不均一になる。攪拌が良好である場合、エッチレートは約 $0.6\mu\text{m}/\text{分}$ となる。また、酸系のエッチャントを用いる場合でも、良く攪拌することが重要である。

【0010】次に、P/P<sup>+</sup>型シリコン基板25の薄板化されていない周辺部における裏面をセラミックパッケージ32内部の底面にダイボンディングし、金属配線27のボンディングパッドおよびセラミックパッケージ32のリードをワイヤー31でワイヤーボンディングする。次に、セラミックパッケージ32内側に非導電性の低融点ガラス33を流し込んで、硬化する。さらに、検出対象のエネルギー線を紫外線とする場合、セラミックパッケージ32の下部に入射窓34を形成する(図22(c))。なお、通常は暗電流を低減するため、冷却ブロックを低融点ガラス33に接触し、これを介してCCD26を冷却して使用する。

【0011】図23は、従来の裏面照射型CCDにおけるポテンシャルプロファイルを示す説明図である。P型

シリコン基板24の裏面に対するアキュムレーションを行わない場合、裏面シリコン酸化膜23には酸化膜電荷や界面準位が必ず存在するので、これらはいずれもP型シリコン基板24の表面を空乏化させるように働く。すなわち、実線で図示したように裏面シリコン酸化膜23に近づくにしたがって電子に対するポテンシャルが低くなっているため、裏面から浅いところで生じた光電子は表面付近のポテンシャル井戸3に到達することができず、逆に裏面シリコン酸化膜23とP型シリコン基板24の界面に押しやられて再結合することになる。一方、P型シリコン基板24の裏面に対するアキュムレーションを行った場合、点線で図示したようなポテンシャルプロファイルが得られるので、裏面の極浅いところで生じた光電子も効率よく表面付近のポテンシャル井戸3に到達することができる。

#### 【0012】

【発明が解決しようとする課題】上記従来の製造方法による裏面照射型CCDは、化学エッチング、アキュムレーションおよび組立等の各工程で破損することがないように、シリコン基板の周辺部が薄板化されずにフレーム状に厚いままに残されていることにより、機械的強度を保持している。

【0013】しかしながら、化学エッチング工程では、エッチング液の攪拌を十分に行って常に新たなエッチャントをエッチング面に供給しないと、シリコン基板の厚さが著しく不均一になる。また、どんなに攪拌を行っても、エッチング部分とエッチングしない部分の境界部ではエッチャントの回り込みなどによりシリコン基板の内側部に比較してエッチレートが大きいので、スパイク状に厚さが薄くなりやすい。そのため、シリコン基板の内側部における裏面に形成された入射面から表面のCCDに至るまでの距離が部分的に変化するので、光電変換感度が不均一になるという問題がある。

【0014】さらに、化学エッチング後のシリコン基板厚さの測定の際や、アキュムレーションおよび組立等の工程では、シリコン基板の薄板化された内側部は直接に補強されていない。そのため、この内側領域は破損しやすいので、歩留まり低下をもたらすという問題がある。

【0015】また、組立工程では、部分的に薄板化されたシリコン基板に対して低融点ガラスを流し込むので、硬化時に低融点ガラスの体積変化により薄板化されたシリコン基板の内側部における裏面に形成された入射面に凹凸が生じることがある。そのため、入射面で入射したエネルギー線の乱反射が生じるので、実際のダイナミックレンジが極端に狭められる。極端な場合では、CCDの垂直方向から見た画素サイズが変化するので、固体撮像素子としての長所の一つである幾何学的な安定が失われるという問題がある。

【0016】従って、上記従来の裏面照射型CCDの製

造方法には以上のような問題があり、商品化することが非常に困難である。

【0017】そこで、本発明は以上の問題点を鑑みてなされたものであり、半導体基板が補強された後に均一な厚さに薄板化され、エネルギー線の入射面に凹凸を生じないように組み立てられる裏面照射型の半導体エネルギー検出器の製造方法を提供することを目的とする。

#### 【0018】

【課題を解決するための手段】本発明は、上記の目的を達成するために、薄板化された半導体基板の裏面に入射したエネルギー線を検出する半導体エネルギー線検出器の製造方法において、前記半導体基板上にエネルギー線検出素子に接続された金属バンプを所定高さに成形する第1の工程と、サブストレイト上に金属バンプに対向配置された凹部を所定深さに形成し、該凹部を含む該サブストレイト上に金属配線を形成する第2の工程と、金属バンプを凹部に挿着して形成された半導体基板およびサブストレイトの間隙に絶縁性を有する充填剤を充填して硬化する第3の工程と、充填剤を介してサブストレイトを固着された表面に対向配置された裏面側から半導体基板を薄板化する第4の工程とを備えることを特徴とする。

【0019】また、本発明は、上記の目的を達成するために、上記第3の工程は、凹部に導電性を有する液状物を注入した後、金属バンプを該凹部に挿着し、該液状物を焼結して該金属バンプおよび金属配線を接続し、間隙に充填剤を充填して硬化することを特徴とする。

【0020】また、本発明は、上記の目的を達成するために、上記第3の工程は、絶縁性を有するシートに形成された金属バンプに対向配置された貫通孔に該金属バンプを挿通した後、該金属バンプを凹部に挿着し、該シートを溶融して半導体基板およびサブストレイトを密着し、該シートを硬化して該半導体基板および該サブストレイトを固着することを特徴とする。

【0021】また、本発明は、上記の目的を達成するために、薄板化された半導体基板の裏面に入射したエネルギー線を検出する半導体エネルギー線検出器の製造方法において、前記半導体基板上にエネルギー線検出素子に接続された金属バンプを所定高さに成形する第1の工程と、サブストレイト上に金属バンプに対向配置された貫通孔を形成し、該貫通孔の内側面を含む該サブストレイト上に金属配線を形成する第2の工程と、金属バンプを貫通孔に挿着して形成された半導体基板およびサブストレイトの間隙に絶縁性を有する充填剤を充填して硬化する第3の工程と、充填剤を介してサブストレイトを固着された表面に対向配置された裏面側から半導体基板を薄板化する第4の工程とを備えることを特徴とする。

【0022】また、本発明は、上記の目的を達成するために、上記第3の工程は、絶縁性を有するシートに形成された金属バンプに対向配置された貫通孔に該金属バン

ブを挿通した後、該金属バンプをサブストレイトに形成された貫通孔に挿着し、該シートを溶融して半導体基板および該サブストレイトを密着し、該シートを硬化して該半導体基板および該サブストレイトを固着することを特徴とする。

【0023】また、本発明は、上記の目的を達成するために、上記サブストレイトは、半導体基板との間隙に充填剤を注入する貫通した注入孔を有することを特徴とする。

【0024】また、本発明は、上記の目的を達成するために、上記サブストレイトは、半導体基板との間隙から空気を押出する貫通した複数の細孔を有することを特徴とする。

【0025】さらに、本発明は、上記の目的を達成するために、上記サブストレイトは、通気性の多孔質材から形成されていることを特徴とする。

【0026】

【作用】本発明によれば、第3の工程で半導体基板上の金属バンプをサブストレイトの凹部または貫通孔に挿着することにより、半導体基板およびサブストレイトの位置合わせが行われる。そのため、金属バンプを介してエネルギー線検出素子およびサブストレイト上の金属配線が機械的、電気的に接続される。従って、容易かつ安価に、半導体基板およびサブストレイトをフリップチップボンディングすることができる。

【0027】また、本発明によれば、第3工程で半導体基板上の金属バンプを絶縁性を有するシートの貫通孔、サブストレイトの凹部または貫通孔に順次挿通することにより、半導体基板およびサブストレイトの位置合わせが行われる。そのため、金属バンプを介してエネルギー線検出素子およびサブストレイト上の金属配線が機械的、電気的に接続される。従って、容易かつ安価に、半導体基板およびサブストレイトをフリップチップボンディングすることができる。

【0028】また、本発明によれば、第4工程で半導体基板を薄板化する前に、第3工程で半導体基板およびサブストレイトの間隙に絶縁性の充填剤が充填される。そのため、硬化時に充填剤が体積減少を生じても、半導体基板の機械的強度が十分であるので、エネルギー線検出器に歪み等の損傷が与えられることはない。さらに、第3工程で充填剤を硬化させた後に、第4工程で半導体基板を裏面側から薄板化するので、エネルギー線の入射面となる半導体基板の裏面に凹凸などが生じることもない。

【0029】また、本発明によれば、第4工程で半導体基板の全体を裏面側から薄板化することにより、半導体基板の厚さを均一に保持して薄板化することができる。そのため、半導体基板の裏面側からの入射光に対応する信号電荷が表面側に形成されているエネルギー線検出器に到達するために要する距離が、裏面上の位置に対して

等しくなる。従って、エネルギー線に対する感度が、半導体基板の裏面における入射位置に対して均一になる。

【0030】また、本発明によれば、第3工程で半導体基板およびサブストレイトの間隙に充填剤を注入することにより、残存している空気層がサブストレイトの貫通した細孔を通過して除去され、低融点ガラスが充填される。そのため、半導体基板およびサブストレイトが一層密着されるので、エネルギー線検出器とサブストレイトとの間の熱伝導性が大きくなる。従って、エネルギー線検出器の冷却使用時に冷却効率が向上するので、発生する暗電流が低減される。

【0031】さらに、本発明によれば、第3工程で半導体基板およびサブストレイトの間隙にサブストレイトの貫通した注入孔から充填剤を注入することにより、残存している空気層が除去され、低融点ガラスが充填される。そのため、半導体基板およびサブストレイトが一層密着されるので、エネルギー線検出器とサブストレイトとの間の熱伝導性が大きくなる。従って、エネルギー線検出器の冷却使用時に冷却効率が向上するので、発生する暗電流が低減される。

【0032】

【実施例】以下、本発明に係る実施例について、図1ないし図2を参照して説明する。なお、図面の説明においては同一要素には同一符号を付し、重複する説明を省略する。また、図面の寸法比率は、説明のものと必ずしも一致していない。

【0033】図1および図2は、本発明に係る半導体エネルギー線検出器の第1製造方法を示す工程断面図である。まず、P層およびP<sup>+</sup>層を積層したエピウエアであるP/P<sup>+</sup>型シリコン基板25の表面領域にCCD26を形成し、P/P<sup>+</sup>型シリコン基板25上に金属配線27を形成し、予め全てのCCD製造プロセスを終了する(図1(a))。なお、P/P<sup>+</sup>型シリコン基板25では、エピ層の比抵抗及び厚さはそれぞれ30Ω・cm、30μmであり、サブのエピ層の比抵抗及び厚さはそれぞれ0.01Ω・cm、500μmである。

【0034】次に、ボンディングパッドを除くP/P<sup>+</sup>型シリコン基板25、CCD26および金属配線27の露出面上にシリコン窒化膜28を堆積し、ワイヤーボンダーで金属配線27上に金属バンプ35を成形してCCD26に接続する(図1(b))。なお、金属バンプ35は、直径60μm、高さ80μmである。

【0035】次に、P/P<sup>+</sup>型シリコン基板25上に形成された金属バンプ35に対向配置するようにサブストレイト36上に凹部39を形成し、その凹部39の表面を含むサブストレイト36上に金属配線37を形成する(図1(c))。なお、サブストレイト36は、CCD26と比較して熱膨張係数がほぼ等しくて熱伝導性が良好であるセラミックから形成されており、薄板化されたP/P<sup>+</sup>型シリコン基板25を補強するように厚さ数百



$\mu\text{m}$ を有することが望ましく、例えば厚さ $300\mu\text{m}$ を有する。また、凹部39は、この後の工程で金属バンプ35を挿着するために対応した径と深さを有する。

【0036】次に、金属バンプ35を凹部39に挿着した後、加熱および加重により金属バンプ35と金属配線37を接続し、CCD26およびサブストレイト36をフリップチップボンディングする。さらに、CCD26およびサブストレイト36の間隙に絶縁性の低融点ガラス41を充填して硬化させる(図1(d))。なお、金属バンプ35と金属配線37が金から形成されている場合、温度 $350^\circ\text{C}$ の雰囲気中で圧力 $30\text{g/バンプ}$ を10分間加えることが代表的であり、双方の金が完全に融着して接合する。ここでは、個々の金属バンプ35に均一な圧力を加える必要があるが、金属バンプ35の高さの差異、P/P<sup>+</sup>型シリコン基板25およびサブストレイト36の反りなどがわずかにあっても、圧力が不十分となってバンプボンディングが不良になる可能性がある。なお、凹部39が形成されたサブストレイト36の表面上に低融点ガラス41を設置した後、CCD26およびサブストレイト36をフリップチップボンディングしてもよい。

【0037】次に、低融点ガラス41を介してサブストレイト36を固着された表面に対向配置した裏面側から全体にP/P<sup>+</sup>型シリコン基板25を、機械研磨または化学エッチングで薄板化する。次に、 $120^\circ\text{C}$ の蒸気中で48時間、P/P<sup>+</sup>型シリコン基板25の裏面を酸化する。例えば、検出対象のエネルギー線を紫外線とする場合、P/P<sup>+</sup>型シリコン基板25の裏面上に裏面シリコン酸化膜30を反射防止膜として成長形成する。次に、イオン注入装置でボロン原子をイオン注入するアキュムレーションを行い、裏面シリコン酸化膜30より内側のP/P<sup>+</sup>型シリコン基板25内部にP<sup>+</sup>型アキュムレーション層29を形成する。次に、電気炉による加熱、ランプアニールまたはレーザーアニール等によりP<sup>+</sup>型アキュムレーション層29中のボロン原子にアクティベーションを行う。(図2(a))。

【0038】次に、サブストレイト36をセラミックパッケージ32内部の底面にダイボンディングして組み込み、金属配線37のボンディングパッドおよびセラミックパッケージ32のリードをワイヤー31でワイヤーボンディングする。次に、検出対象のエネルギー線を紫外線とする場合、セラミックパッケージ32の上部にコルツ板の入射窓34を設置する(図2(b))。

【0039】上記の製造方法によれば、金属バンプ35を凹部39に挿着することにより、CCD26およびサブストレイト36の位置合わせが行われる。そのため、重りを乗せて加圧し、オープンで加熱することにより、金属バンプ35および金属配線37が機械的、電氣的に接続される。この結果、従来使用していたフリップチップボンディングマシンが不要になる。この装置は、2

枚の基板間にハーフミラーを挿着したCCDカメラを挿入して両基板を面同士で位置合わせし、CCDカメラを除いた後、合わせた位置を保持しつつ垂直方向に両基板を接近させて加熱、加圧するという高度な技術を要するので、非常に高価である。従って、容易かつ安価に、CCD26およびサブストレイト36をフリップチップボンディングすることができる。

【0040】また、P/P<sup>+</sup>型シリコン基板25を薄板化する前に、CCD26およびサブストレイト36の間隙に低融点ガラス41が充填される。そのため、硬化時に低融点ガラス41が体積減少を生じて、P/P<sup>+</sup>型シリコン基板25の機械的強度が十分であるので、CCD26に歪み等の損傷が与えられることはない。さらに、低融点ガラス41が硬化した後にP/P<sup>+</sup>型シリコン基板25を裏面側から薄板化するので、エネルギー線の入射面となるP/P<sup>+</sup>型シリコン基板25の裏面に凹凸などが生じることもない。

【0041】また、低融点ガラス41は熱抵抗が小さいので、CCD26を冷却使用する際に高効率で冷却することができる。

【0042】さらに、P/P<sup>+</sup>型シリコン基板25の全体を裏面側から薄板化することにより、化学エッチング工程においてエッチャントの回り込みなどが生じない。そのため、P/P<sup>+</sup>型シリコン基板25の厚さを均一に保持して薄板化することができる。なお、化学エッチングと併用してP/P<sup>+</sup>型シリコン基板25のP<sup>+</sup>層をグラインダー(ディスコ社製)などで機械的研磨をすることにより、高密度欠陥における大きなエッチレートのためにP<sup>+</sup>層に生じる非常に不均一なエッチングを防ぐことができる。そのため、エッチング面におけるくもりなどの発生が抑制される。

【0043】ここで、CCD26について説明する。CCDは、アナログ電荷群を外からクロックパルスに同期した速度で一方向に順繰りに送るものであり、一端に出力部を設けておけば、空間情報を時系列信号に変換できる極めて巧妙な機能デバイスである。しかし、2次元の画像情報を時系列信号として取り出すには、デバイスの構成上、工夫が必要である。上述のデバイスに光を照射したままで電荷を転送したのでは、それぞれの場所で、光励起された電荷と転送されてきた電荷が混じり合

って映像信号が劣化する。これを避けるためには、光を照射している期間(電荷蓄積期間)と電荷を転送する時間(電荷転送期間)とを時間的に分けるいわゆる時分割動作が考えられる。したがって、映像信号が出力される時間は転送時間内に限られ、間欠的な信号となる。

【0044】一般に実用的な撮像デバイスとして、フレーム転送(FT)、フル・フレーム転送(FFT)およびインターライン転送(IT)構成の三つの方式が代表的である。このうち計測用としては、主にフル・フレーム転送方式が用いられる。以下、フル・フレーム転送方



式について説明する。

【0045】図3は、フル・フレーム転送方式CCDの構成を示す上面図である。この方式では、P型シリコン基板4に形成されたチャンネルストップ拡散層1によって電荷転送のチャンネルが垂直方向に分割され、水平画素数に対応する画素列を形成する。一方、このチャンネルストップ拡散層1に直交して垂直転送電極群2が配置されている。前述のフレーム転送方式CCDにおいては、この垂直転送電極群2は上下2つにグルーピングされ、上半分を受光用のCCD、下半分を信号電荷を一時蓄積するためのCCDとして使うが、フル・フレーム転送方式CCDでは蓄積部はない。したがって、電荷を転送する時間中、即ち読み出し時間中は、シャッタを閉じるなどしてCCDに光が入射しないようにしなければならない。なお、垂直方向の4列の画素列の間には、3本のオーバーフロードレイン5が形成されている。

【0046】図4は、フル・フレーム転送方式CCDの構成を示す要部断面図である。ポリシリコン電極20は、垂直転送電極群2によりクロックパルス電圧 $\phi_1 \sim \phi_4$ を供給される。受光領域に光が入射すると、励起された信号電荷が一つの転送電極（蓄積電極）、即ち立ち上がったクロックパルス電圧 $\phi_1$ の加えられたポリシリコン電極20下に在るポテンシャル井戸3に集められる。このように、一画素はCCDの一段分を構成するクロックパルス電圧（ $\phi_1 \sim \phi_4$ ）の相数（4）に対応する数のポリシリコン電極20とチャンネルストップ拡散層1で囲まれた面積となる。なお、P型シリコン基板24上にN型チャンネル層22が形成され、このN型チャンネル層22上にゲート酸化膜21を介してポリシリコン電極20が形成されている。このポリシリコン電極20の表面には、PSG（リンガラス）膜19が層間絶縁膜として堆積されている。

【0047】次に、光信号を信号電荷に変換する電荷蓄積時間が終わると、受光領域上にある垂直転送電極群2に与えられたクロックパルス電圧 $\phi_1 \sim \phi_4$ が順次立ち上がり、信号電荷の読み出しが開始される。しかし、フル・フレーム転送方式CCDにおいては、前述したようにフレーム転送方式CCDのような受光部とは別の、いわゆる蓄積部というものが無い。このため、信号読み出しを開始する前にシャッタを閉じるなどして光信号の入力を遮断しなければ、転送している途中の信号に新たに光信号が混入してくることになり、信号純度が低下する。但し、単発現象を捕らえる場合には、信号電荷の転送中に新たな光入力はないと考えられるから、シャッタ等は必要ない。

【0048】ここで、信号電荷の読み出し動作について説明する。信号電荷は垂直転送電極群2に与えられるクロックパルス電圧 $\phi_1 \sim \phi_4$ によって1行ずつ下方に送られ、水平読み出しレジスタ6を通して出力端に転送される。すなわち、まず一番下の行にある信号電荷が同時

に水平読み出しレジスタ6に送り込まれ、水平方向に高い周波数のクロックパルス電圧 $\phi_5$ 、 $\phi_6$ で転送され、時系列信号として出力端から読み出される。なお、クロックパルス電圧 $\phi_5$ 、 $\phi_6$ は水平転送電極群7から加えられる。このとき、すでに次の信号電荷が一段下方に移動しているの、次のクロックパルス電圧 $\phi_1 \sim \phi_4$ で水平読み出しレジスタ6に入り、出力端に読み出される。このようにして一画面分の信号電荷がすべて水平読み出しレジスタ6を通して読み出されると、シャッタを開いて新たな信号蓄積動作を開始する。以上のように、水平読み出しレジスタ6は垂直レジスタに比べて高速で動作する必要があるの、2相のクロックパルス電圧 $\phi_5$ 、 $\phi_6$ により高速転送を可能にされている。

【0049】図5（a）は、フル・フレーム転送方式CCDにオンチップされた読み出し回路の例を示す説明図である。各クロックパルス電圧の基準点は0Vで、+12Vの振幅である。クロックパルス電圧 $\phi_5$ 、 $\phi_6$ が与えられたポリシリコン電極20下の領域17、18は、水平読み出しレジスタ6の最終段を表している。なお、N型チャンネル層22には+12V<sub>cc</sub>、アウトプットゲート（OG）13には+7V<sub>cc</sub>、リセットドレイン（RD）16には+12V<sub>cc</sub>がそれぞれ印加されている。また、増幅用MOSFETのドレイン8には15V<sub>cc</sub>が印加されており、増幅用MOSFETのソース9は負荷抵抗12を介して接地されている。従って、この増幅用MOSFETはソースフォロワ回路として動作している。

【0050】図5（b）は、フル・フレーム転送方式CCDの転送電極に印加されるクロックパルス電圧と出力電圧の関係の例を示す波形図である。ここで、水平読み出しレジスタ6により信号電荷が次々と読み出し回路に転送されてくると仮定する。時刻 $t_1$ でクロックパルス電圧 $\phi_5$ はハイレベルになっているので、クロックパルス電圧 $\phi_5$ に対する水平読み出しレジスタ6の最終段17にポテンシャル井戸3が形成され、信号電荷が転送されている。次に、時刻 $t_2$ でクロックパルス電圧 $\phi_6$ がローレベル、 $\phi_5$ がハイレベルになるので、クロックパルス電圧 $\phi_5$ に対する水平読み出しレジスタ6の最終段17のポテンシャル井戸3は消え、クロックパルス電圧 $\phi_6$ に対する水平読み出しレジスタ6の最終段18にポテンシャル井戸3が形成され、前述の信号電荷は転送される。次に、時刻 $t_3$ でリセットゲート（RG）15に電圧が印加されるので、フローティングディフュージョン（FD）14の電位はRD16の電位である12Vにリセットされる。次に、時刻 $t_4$ でFD14にはまだ信号電荷は転送されていないので、その電位はリセット値を維持している。さらに、時刻 $t_5$ でクロックパルス電圧 $\phi_6$ がローレベルになるので、水平レジスタ6の最終段である領域18に存在した信号電荷はOG13に加えられた低いDCバイアスによって形成されている低いポテンシャル障壁を乗り越え、FD14に至って電位を変

化させる。そのため、FD 14に電子が流れ込んでくるので、クロックパルス電圧 $\phi_c$ がローレベルになると、出力電圧は下に向かって伸びる。FD 14は配線によりソースフォロワ回路（増幅用MOSFET）のゲート10に繋がれているので、そのゲート10に入力されたのと同じ大きさの出力電圧がソース9から低インピーダンスで得られる。

【0051】以上のようなフル・フレーム転送方式CCDの特徴としては、蓄積部がなく受光部の面積が大きくとれることにより、光の利用率が高いので、計測用など微弱光の用途に広く用いられることがある。

【0052】図6および図7は、本発明に係る半導体エネルギー線検出器の第2製造方法を示す工程断面図である。まず、P層およびP<sup>+</sup>層を積層したエピウエアであるP/P<sup>+</sup>型シリコン基板25の表面領域にCCD 26を形成し、P/P<sup>+</sup>型シリコン基板25上に金属配線27を形成し、予め全てのCCD製造プロセスを終了する（図6（a））。

【0053】次に、ボンディングパッドを除くP/P<sup>+</sup>型シリコン基板25、CCD 26および金属配線27の露出面上にシリコン窒化膜28を堆積し、ワイヤーボンダーで金属配線27上に金属バンプ35を成形してCCD 26に接続する（図6（b））。

【0054】次に、P/P<sup>+</sup>型シリコン基板25上に形成された金属バンプ35に対向配置するようにサブストレイト36上に凹部39を形成し、その凹部39の表面を含むサブストレイト36上に金属配線37を形成する。次に、凹部39の内側に導電性の銀ガラス43を適量滴下する（図6（c））。

【0055】次に、金属バンプ35を凹部39に挿着した後、加熱および加重により焼結した銀ガラス43を介して金属バンプ35と金属配線37を接続し、CCD 26およびサブストレイト36をフリップチップボンディングする。さらに、CCD 26およびサブストレイト36の間隙に絶縁性の低融点ガラス41を充填して硬化させる（図6（d））。

【0056】次に、低融点ガラス41を介してサブストレイト36を固着された表面に対向配置した裏面側から全体にP/P<sup>+</sup>型シリコン基板25を、機械研磨または化学エッチングで薄板化する。次に、120℃の蒸気中で48時間、P/P<sup>+</sup>型シリコン基板25の裏面を酸化する。例えば、検出対象のエネルギー線を紫外線とする場合、P/P<sup>+</sup>型シリコン基板25の裏面上に裏面シリコン酸化膜30を反射防止膜として成長形成する。次に、イオン注入装置でボロン原子をイオン注入するアキュムレーションを行い、裏面シリコン酸化膜30より内側のP/P<sup>+</sup>型シリコン基板25内部にP<sup>+</sup>型アキュムレーション層29を形成する。次に、電気炉による加熱、ランプアニールまたはレーザーアニール等によりP<sup>+</sup>型アキュムレーション層29中のボロン原子にア

クティベーションを行う（図7（a））。

【0057】次に、サブストレイト36をセラミックパッケージ32内部の底面にダイボンディングして組み込み、金属配線37のボンディングパッドおよびセラミックパッケージ32のリードをワイヤー31でワイヤーボンディングする。次に、検出対象のエネルギー線を紫外線とする場合、セラミックパッケージ32の上部にコルツ板の入射窓34を設置する（図7（b））。

【0058】上記の製造方法によれば、上記の第1製造方法と同様な作用が得られる。さらに、銀ガラス43を介して金属バンプ35と金属配線37を電気的に接続することにより、CCD 26およびサブストレイト36の間における導通が良好になる。そのため、バンプボンディングの信頼性が向上するので、CCD 26およびサブストレイト36に対する加圧に必要な注意が低減される。

【0059】図8および図9は、本発明に係る半導体エネルギー線検出器の第3製造方法を示す工程断面図である。まず、P層およびP<sup>+</sup>層を積層したエピウエアであるP/P<sup>+</sup>型シリコン基板25の表面領域にCCD 26を形成し、P/P<sup>+</sup>型シリコン基板25上に金属配線27を形成し、予め全てのCCD製造プロセスを終了する（図8（a））。

【0060】次に、ボンディングパッドを除くP/P<sup>+</sup>型シリコン基板25、CCD 26および金属配線27の露出面上にシリコン窒化膜28を堆積し、ワイヤーボンダーで金属配線27上に金属バンプ35を成形してCCD 26に接続する（図8（b））。なお、金属バンプ35は、ワイヤーボンダーで二重打ち、三重打ちを行ったり、通常より太くて堅いワイヤーを使用し、サブストレイト36の厚さよりも高く、例えば高さ200μmに成形する。

【0061】次に、P/P<sup>+</sup>型シリコン基板25上に形成された金属バンプ35に対向配置するようにサブストレイト36および固形シート状の低融点ガラス41（京セラ株式会社製フリットガラス）にそれぞれ貫通孔40、42を形成する。次に、貫通孔40の内側面を含むサブストレイト36上に金属配線37を形成する（図8（c））。なお、サブストレイト36はCCD 26と比較して熱膨張係数がほぼ等しくて熱伝導性が良好であって透明なガラスから形成されており、薄板化されたP/P<sup>+</sup>型シリコン基板25を補強可能である程度に比較的薄くされ、例えば厚さ200μmを有する。また、貫通孔40は、この後の工程で金属バンプ35を挿着するために対応した径を有する。さらに、低融点ガラス41は厚さ100μmを有する。

【0062】次に、金属バンプ35を貫通孔42、40に順次挿通した後、450℃程度の加熱および加圧により低融点ガラス41を硬化させ、CCD 26およびサブストレイト36の間隙を充填する（図8（d））。

【0063】次に、貫通孔40に銀ガラス43を適量滴下して焼結し、金属バンプ35と金属配線37を接続してCCD26およびサブストレイト36をフリップチップボンディングする(図9(a))。なお、この工程での熱処理は、直前の工程で同時に行ってもよい。

【0064】次に、低融点ガラス41を介してサブストレイト36を固着された表面に対向配置した裏面側から全体にP/P<sup>+</sup>型シリコン基板25を、機械研磨または化学エッチングで薄板化する。次に、120℃の蒸気中で48時間、P/P<sup>+</sup>型シリコン基板25の裏面を酸化する。例えば、検出対象のエネルギー線を紫外線とする場合、P/P<sup>+</sup>型シリコン基板25の裏面上に裏面シリコン酸化膜30を反射防止膜として成長形成する。次に、イオン注入装置でボロン原子をイオン注入するアキュムレーションを行い、裏面シリコン酸化膜30より内側のP/P<sup>+</sup>型シリコン基板25内部にP<sup>+</sup>型アキュムレーション層29を形成する。次に、電気炉による加熱、ランプアニールまたはレーザーアニール等によりP<sup>+</sup>型アキュムレーション層29中のボロン原子にアクティベーションを行う(図9(b))。

【0065】次に、サブストレイト36をセラミックパッケージ32内部の底面にダイボンディングして組み込み、金属配線37のボンディングパッドおよびセラミックパッケージ32のリードをワイヤー31でワイヤーボンディングする。次に、検出対象のエネルギー線を紫外線とする場合、セラミックパッケージ32の上部にコルツ板の入射窓34を設置する(図9(c))。

【0066】一方、P/P<sup>+</sup>型シリコン基板25の裏面を下側開口を有するセラミックパッケージ32内部の底面にダイボンディングして組み込み、金属配線37のボンディングパッドおよびセラミックパッケージ32のリードをワイヤー31でワイヤーボンディングする。次に、検出対象のエネルギー線を紫外線とする場合、セラミックパッケージ32の下側にコルツ板の入射窓34を設置する(図9(d))。

【0067】上記の製造方法によれば、上記の第2製造方法と同様な作用が得られる。さらに、金属バンプ35を貫通孔42、40に順次挿通することにより、CCD26およびサブストレイト36の位置合わせが行われる。そのため、従来使用していたフリップチップボンディングマシンが不要になる。従って、容易かつ安価にCCD26およびサブストレイト36をフリップチップボンディングすることができる。

【0068】また、CCD26およびサブストレイト36の間隙に予め低融点ガラス41を設置した後に熱処理で溶融することにより、この間隙が低融点ガラス41で容易に充填されるので、CCD26およびサブストレイト36を十分に密着することができる。

【0069】さらに、銀ガラス43等の導電物を介して金属バンプ35と金属配線37を電氣的に接続すること

により、CCD26および金属電線37の間における導通が容易かつ確実に行われる。

【0070】図10および図11は、本発明に係る半導体エネルギー線検出器の第4製造方法を示す工程断面図である。まず、P層およびP<sup>+</sup>層を積層したエピウエアであるP/P<sup>+</sup>型シリコン基板25の表面領域にCCD26を形成し、P/P<sup>+</sup>型シリコン基板25上に金属配線27を形成し、予め全てのCCD製造プロセスを終了する(図10(a))。

10 【0071】次に、ボンディングパッドを除くP/P<sup>+</sup>型シリコン基板25、CCD26および金属配線27の露出面上にシリコン窒化膜28を堆積し、ワイヤーボンダーで金属配線27上に金属バンプ35を成形してCCD26に接続する(図10(b))。なお、金属バンプ35は、この後の工程で位置合わせが可能である高さで十分であり、例えば高さ80μm、直径60μmである。

20 【0072】次に、サブストレイト36上に金属配線37を形成し、CCD26が形成されているP/P<sup>+</sup>型シリコン基板25上に形成された金属バンプ35に対向配置するように金属配線37上に金属バンプ38を成形する(図10(c))。なお、金属バンプ38は、この後の工程で位置合わせが可能である高さとする。

【0073】次に、CCD26が形成されているP/P<sup>+</sup>型シリコン基板25上に形成された金属バンプ35に対向配置するように固形シート状の低融点ガラス41に貫通孔42を形成する(図10(d))。なお、低融点ガラス41は、厚さ300~400μmと比較的厚くてもよい。また、貫通孔42は、この後の工程で金属バンプ35、38を挿着するために対応した径を有する。

30 【0074】次に、金属バンプ35を貫通孔42に挿通し、CCD26上に低融点ガラス41を設置する(図10(e))。

【0075】次に、貫通孔42に導電性の銀ガラス43を適量滴下する(図11(a))。

【0076】次に、サブストレイト36の金属配線37上に形成された金属バンプ38を貫通孔42に挿通した後、加熱および加圧により銀ガラス43を焼結して金属バンプ35、38を電氣的に接続すると共に、低融点ガラス41を溶融した後に硬化させ、CCD26およびサブストレイト36の間隙を充填する(図11(b))。

40 【0077】次に、低融点ガラス41を介してサブストレイト36を固着された表面に対向配置した裏面側から全体にP/P<sup>+</sup>型シリコン基板25を、機械研磨または化学エッチングで薄板化する。次に、120℃の蒸気中で48時間、P/P<sup>+</sup>型シリコン基板25の裏面を酸化する。例えば、検出対象のエネルギー線を紫外線とする場合、P/P<sup>+</sup>型シリコン基板25の裏面上に裏面シリコン酸化膜30を反射防止膜として成長形成する。次に、イオン注入装置でボロン原子をイオン注入するアキ

ュームレーションを行い、裏面シリコン酸化膜30より内側のP/P<sup>+</sup>型シリコン基板25内部にP<sup>+</sup>型アキュームレーション層29を形成する。次に、電気炉による加熱、ランプアニールまたはレーザーアニール等によりP<sup>+</sup>型アキュームレーション層29中のボロン原子にアクティベーションを行う(図11(c))。

【0078】次に、サブストレイト36をセラミックパッケージ32内部の底面にダイボンディングして組み込み、金属配線37のボンディングパッドおよびセラミックパッケージ32のリードをワイヤー31でワイヤーボンディングする。次に、検出対象のエネルギー線を紫外線とする場合、セラミックパッケージ32の上部にコルツ板の入射窓34を設置する(図11(d))。

【0079】上記の製造方法によれば、上記の第3製造方法と同様な作用が得られる。さらに、貫通孔42の内側で銀ガラス43を介して金属バンプ35、38に圧着することにより、金属バンプ35、38が電氣的に接続されるので、CCD26および金属配線37の間における導通の信頼性を一層向上することができる。

【0080】図12および図13は、本発明に係る半導体エネルギー線検出器の第5製造方法を示す工程断面図である。まず、P層およびP<sup>+</sup>層を積層したエピウエアであるP/P<sup>+</sup>型シリコン基板25の表面領域にCCD26を形成し、P/P<sup>+</sup>型シリコン基板25上に金属配線27を形成し、予め全てのCCD製造プロセスを終了する(図12(a))。

【0081】次に、ボンディングパッドを除くP/P<sup>+</sup>型シリコン基板25、CCD26および金属配線27の露出面上にシリコン窒化膜28を堆積し、ワイヤーボンダーで金属配線27上に金属バンプ35を成形してCCD26に接続する(図12(b))。なお、金属バンプ35は、この後の工程で位置合わせが可能である高さより大きくする。

【0082】次に、P/P<sup>+</sup>型シリコン基板25上に形成された金属バンプ35に対向配置するようにサブストレイト36上に凹部を形成し、さらに凹部に細孔を形成して貫通孔40を形成する。次に、貫通孔40の内壁を含むサブストレイト36の表裏面上に金属配線37を形成する(図12(c))。なお、貫通孔40は、金属配線37で充填されて金属バンプ35を挿通しない径を有する部分と、この後の工程で金属バンプ35を挿着するために必要な径を有して金属バンプ35の高さより小さい深さを有する部分とからなる。また、金属配線37は、サブストレイト36の表面および裏面の間を導通している。さらに、サブストレイト36は透明なガラスである。

【0083】次に、貫通孔40の内側に導電性の銀ガラス43を適量滴下する(図12(d))。

【0084】次に、金属バンプ35を貫通孔40に挿着した後、加熱および加圧により銀ガラス43を焼結して

金属バンプ35および金属配線37を電氣的に接続し、CCD26およびサブストレイト36をフリップチップボンディングする(図12(e))。

【0085】次に、ペースト状の低融点ガラス41をCCD26およびサブストレイト36の間隙の端部にある注入口45から充填して硬化させる(図13(a))。なお、低融点ガラス41は、比較的粘度が高くても毛細管現象により注入することができる。

【0086】次に、低融点ガラス41を介してサブストレイト36を固着された表面に対向配置した裏面側から全体にP/P<sup>+</sup>型シリコン基板25を、機械研磨または化学エッチングで薄板化する。次に、120℃の蒸気中で48時間、P/P<sup>+</sup>型シリコン基板25の裏面を酸化する。例えば、検出対象のエネルギー線を紫外線とする場合、P/P<sup>+</sup>型シリコン基板25の裏面上に裏面シリコン酸化膜30を反射防止膜として成長形成する。次に、イオン注入装置でボロン原子をイオン注入するアキュームレーションを行い、裏面シリコン酸化膜30より内側のP/P<sup>+</sup>型シリコン基板25内部にP<sup>+</sup>型アキュームレーション層29を形成する。次に、電気炉による加熱、ランプアニールまたはレーザーアニール等によりP<sup>+</sup>型アキュームレーション層29中のボロン原子にアクティベーションを行う(図13(b))。

【0087】次に、サブストレイト36をセラミックパッケージ32内部の底面にダイボンディングして組み込み、金属配線37のボンディングパッドおよびセラミックパッケージ32のリードをワイヤー31でワイヤーボンディングする。次に、検出対象のエネルギー線を紫外線とする場合、セラミックパッケージ32の上部にコルツ板の入射窓34を設置する(図13(c))。

【0088】一方、P/P<sup>+</sup>型シリコン基板25の裏面を下部開口を有するセラミックパッケージ32内部の底面にダイボンディングして組み込み、金属配線37のボンディングパッドおよびセラミックパッケージ32のリードをワイヤー31でワイヤーボンディングする。次に、検出対象のエネルギー線を紫外線とする場合、セラミックパッケージ32の下部にコルツ板の入射窓34を設置する(図13(d))。

【0089】上記の製造方法によれば、上記の第2製造方法と同様な作用が得られる。さらに、銀ガラス43を介して金属バンプ35および金属配線37を圧着した後、CCD26およびサブストレイト36の間隙に毛細管現象により低融点ガラス41が充填される。そのため、CCD26および金属配線37の間における導通を保持しつつ、CCD26およびサブストレイト36を容易に密着することができる。

【0090】図14および図15は、本発明に係る半導体エネルギー線検出器の第6製造方法を示す工程断面図である。まず、P層およびP<sup>+</sup>層を積層したエピウエアであるP/P<sup>+</sup>型シリコン基板25の表面領域にCCD

26を形成し、P/P<sup>+</sup>型シリコン基板25上に金属配線27を形成し、予め全てのCCD製造プロセスを終了する(図14(a))。

【0091】次に、ボンディングパッドを除くP/P<sup>+</sup>型シリコン基板25、CCD26および金属配線27の露出面上にシリコン窒化膜28を堆積し、ワイヤーボンダーで金属配線27上に金属バンプ35を成形してCCD26に接続する(図14(b))。なお、金属バンプ35は、この後の工程で位置合わせが可能である高さより大きくする。

【0092】次に、P/P<sup>+</sup>型シリコン基板25上に形成された金属バンプ35に対向配置するようにサブストレイト36上に凹部を形成し、さらに凹部に細孔を形成して貫通孔40を形成する。次に、多数の細孔46をサブストレイト36に形成する。次に、貫通孔40の内壁を含むサブストレイト36の表裏面上に金属配線37を形成する。次に、貫通孔40の内側に導電性の銀ガラス43を適量滴下する(図14(c))。なお、貫通孔40は、金属配線37で充填されて金属バンプ35を挿通しない径を有する部分と、この後の工程で金属バンプ35を挿着するために必要な径、および金属バンプ35の高さより小さい深さを有する部分とからなる。また、金属配線37は、サブストレイト36の表面および裏面の間を導通している。さらに、サブストレイト36は透明なガラスである。

【0093】次に、金属バンプ35を貫通孔40に挿着した後、加熱および加圧により銀ガラス43を焼結して金属バンプ35および金属配線37を電気的に接続し、CCD26およびサブストレイト36をフリップチップボンディングする。次に、CCD26およびサブストレイト36の間隙の端部にある注入口45から、ペースト状の低融点ガラス41の注入を開始する(図14(d))。

【0094】次に、真空装置の真空引き47でCCD26およびサブストレイト36の間隙に残っている空気層44を細孔46を通過させて除去し、充填した低融点ガラスを硬化させる(図15(a))。

【0095】次に、低融点ガラス41を介してサブストレイト36を固着された表面に対向配置した裏面側から全体にP/P<sup>+</sup>型シリコン基板25を、機械研磨または化学エッチングで薄板化する。次に、120℃の蒸気中で48時間、P/P<sup>+</sup>型シリコン基板25の裏面を酸化する。例えば、検出対象のエネルギー線を紫外線とする場合、P/P<sup>+</sup>型シリコン基板25の裏面上に裏面シリコン酸化膜30を反射防止膜として成長形成する。次に、イオン注入装置でボロン原子をイオン注入するアキュムレーションを行い、裏面シリコン酸化膜30より内側のP/P<sup>+</sup>型シリコン基板25内部にP<sup>+</sup>型アキュムレーション層29を形成する。次に、電気炉による加熱、ランプアニールまたはレーザーアニール等により

P<sup>+</sup>型アキュムレーション層29中のボロン原子にアクティベーションを行う(図15(b))。

【0096】次に、サブストレイト36をセラミックパッケージ32内部の底面にダイボンディングして組み込み、金属配線37のボンディングパッドおよびセラミックパッケージ32のリードをワイヤー31でワイヤーボンディングする。次に、検出対象のエネルギー線を紫外線とする場合、セラミックパッケージ32の上部にコルツ板の入射窓34を設置する(図15(c))。

10 【0097】一方、P/P<sup>+</sup>型シリコン基板25の裏面を下側開口を有するセラミックパッケージ32内部の底面にダイボンディングして組み込み、金属配線37のボンディングパッドおよびセラミックパッケージ32のリードをワイヤー31でワイヤーボンディングする。次に、検出対象のエネルギー線を紫外線とする場合、セラミックパッケージ32の下部にコルツ板の入射窓34を設置する(図15(d))。

【0098】上記の製造方法によれば、上記の第5製造方法と同様な作用が得られる。さらに、CCD26およびサブストレイト36の間隙に残っている空気層44を細孔46を通過させて除去しつつ、低融点ガラス41を充填することにより、CCD26およびサブストレイト36が一層密着される。そのため、CCD26の冷却使用時に冷却効率が向上するので、発生する暗電流が低減され、そのユニフォーム性は良好になる。

【0099】図16および図17は、本発明に係る半導体エネルギー線検出器の第7製造方法を示す工程断面図である。まず、P層およびP<sup>+</sup>層を積層したエピウエアであるP/P<sup>+</sup>型シリコン基板25の表面領域にCCD26を形成し、P/P<sup>+</sup>型シリコン基板25上に金属配線27を形成し、予め全てのCCD製造プロセスを終了する(図16(a))。

【0100】次に、ボンディングパッドを除くP/P<sup>+</sup>型シリコン基板25、CCD26および金属配線27の露出面上にシリコン窒化膜28を堆積し、ワイヤーボンダーで金属配線27上に金属バンプ35を成形してCCD26に接続する(図16(b))。なお、金属バンプ35は、この後の工程で位置合わせが可能である高さより大きくする。

40 【0101】次に、P/P<sup>+</sup>型シリコン基板25上に形成された金属バンプ35に対向配置するようにサブストレイト36上に凹部を形成し、さらに凹部に細孔を形成して貫通孔40を形成する。次に、貫通孔40の内壁を含むサブストレイト36の表裏面上に金属配線37を形成する。次に、貫通孔40の内側に導電性の銀ガラス43を適量滴下する(図16(c))。なお、貫通孔40は、金属配線37で充填されて金属バンプ35を挿通しない径を有する部分と、この後の工程で金属バンプ35を挿着するために必要な径、および金属バンプ35の高さより小さい深さを有する部分とからなる。また、金属

50



配線37は、サブストレイト36の表面および裏面の間を導通している。さらに、サブストレイト36は通気性を有するポーラス（多孔質）なセラミックであり、例えばフッ素金雲母、チタン酸アルミ、またはワラストナイトである。

【0102】次に、金属バンプ35を貫通孔40に挿着した後、加熱および加圧により銀ガラス43を焼結して金属バンプ35および金属配線37を電気的に接続し、CCD26およびサブストレイト36をフリップチップボンディングする。次に、CCD26およびサブストレイト36の間隙の端部にある注入口45から、ペースト状の低融点ガラス41の注入を開始する（図16

(d)）。

【0103】次に、真空装置の真空引き47でCCD26およびサブストレイト36の間隙に残っている空気層44を、サブストレイト36の細孔を通過させて除去し、充填した低融点ガラス41を硬化させる（図17

(a)）。

【0104】次に、低融点ガラス41を介してサブストレイト36を固着された表面に対向配置した裏面側から全体にP/P<sup>+</sup>型シリコン基板25を、機械研磨または化学エッチングで薄板化する。次に、120℃の蒸気中で48時間、P/P<sup>+</sup>型シリコン基板25の裏面を酸化する。例えば、検出対象のエネルギー線を紫外線とする場合、P/P<sup>+</sup>型シリコン基板25の裏面上に裏面シリコン酸化膜30を反射防止膜として成長形成する。次に、イオン注入装置でボロン原子をイオン注入するアキュムレーションを行い、裏面シリコン酸化膜30より内側のP/P<sup>+</sup>型シリコン基板25内部にP<sup>+</sup>型アキュムレーション層29を形成する。次に、電気炉による加熱、ランプアニールまたはレーザーアニール等によりP<sup>+</sup>型アキュムレーション層29中のボロン原子にアクティベーションを行う（図17(b)）。

【0105】次に、サブストレイト36をセラミックパッケージ32内部の底面にダイボンディングして組み込み、金属配線37のボンディングパッドおよびセラミックパッケージ32のリードをワイヤー31でワイヤーボンディングする。次に、検出対象のエネルギー線を紫外線とする場合、セラミックパッケージ32の上部にコルツ板の入射窓34を設置する（図17(c)）。

【0106】一方、P/P<sup>+</sup>型シリコン基板25の裏面を下部開口を有するセラミックパッケージ32内部の底面にダイボンディングして組み込み、金属配線37のボンディングパッドおよびセラミックパッケージ32のリードをワイヤー31でワイヤーボンディングする。次に、検出対象のエネルギー線を紫外線とする場合、セラミックパッケージ32の下部にコルツ板の入射窓34を設置する（図17(d)）。

【0107】上記の製造方法によれば、上記の第5製造方法と同様な作用が得られる。さらに、CCD26および

びサブストレイト36の間隙に残っている空気層44をサブストレイト36の細孔を通過させて除去しつつ、低融点ガラス41を充填することにより、CCD26およびサブストレイト36が一層密着される。そのため、CCD26の冷却使用時に冷却効率が向上するので、発生する暗電流が低減され、そのユニフォミティーは良好になる。

【0108】図18ないし図20は、本発明に係る半導体エネルギー線検出器の第8製造方法を示す工程断面図である。まず、P層およびP<sup>+</sup>層を積層したエピウエアであるP/P<sup>+</sup>型シリコン基板25の表面領域にCCD26を形成し、P/P<sup>+</sup>型シリコン基板25上に金属配線27を形成し、予め全てのCCD製造プロセスを終了する（図18(a)）。

【0109】次に、ボンディングパッドを除くP/P<sup>+</sup>型シリコン基板25、CCD26および金属配線27の露出面上にシリコン窒化膜28を堆積し、ワイヤーボンダーで金属配線27上に金属バンプ35を成形してCCD26に接続する（図18(b)）。なお、金属バンプ35は、この後の工程で位置合わせが可能である高さより大きくする。

【0110】次に、P/P<sup>+</sup>型シリコン基板25上に形成された金属バンプ35に対向配置するようにサブストレイト36上に凹部を形成し、さらに凹部に細孔を形成して貫通孔40を形成する。次に、サブストレイト36の中央部に凹状に注入孔48を形成する。次に、貫通孔40の内壁を含むサブストレイト36の表裏面上に金属配線37を形成する。次に、貫通孔40の内側に導電性の銀ガラス43を適量滴下する（図18(c)）。なお、貫通孔40は、金属配線37で充填されて金属バンプ35を挿通しない径を有する部分と、この後の工程で金属バンプ35を挿着するために必要な径を有して金属バンプ35の高さより小さい深さを有する部分とからなる。また、金属配線37は、サブストレイト36の表面および裏面の間を導通している。さらに、サブストレイト36は透明なガラスである。

【0111】次に、金属バンプ35を貫通孔40に挿着した後、加熱および加圧により銀ガラス43を焼結して金属バンプ35および金属配線37を電気的に接続し、CCD26およびサブストレイト36をフリップチップボンディングする（図18(d)）。

【0112】次に、ペースト状の低融点ガラス41をニードル49を通過して注入孔48からCCD26およびサブストレイト36の間隙に注入する（図19

(a)）。

【0113】次第に、低融点ガラス41の注入を続け、CCD26およびサブストレイト36の間隙を中央部から周辺部に充填していく（図19(b)）。

【0114】ついに、CCD26およびサブストレイト36の間隙に残っている空気層44をサブストレイト3

6の排出口51を通過して除去する(図19(c))。

【0115】次に、加熱および加圧により低融点ガラス41を溶融し、CCD26およびサブストレイト36を密着して低融点ガラス41を硬化させる(図20

(a))。

【0116】次に、低融点ガラス41を介してサブストレイト36を固着された表面に対向配置した裏面側から全体にP/P<sup>+</sup>型シリコン基板25を、機械研磨または化学エッチングで薄板化する。次に、120℃の蒸気中で48時間、P/P<sup>+</sup>型シリコン基板25の裏面を酸化する。例えば、検出対象のエネルギー線を紫外線とする場合、P/P<sup>+</sup>型シリコン基板25の裏面上に裏面シリコン酸化膜30を反射防止膜として成長形成する。次に、イオン注入装置でボロン原子をイオン注入するアキュムレーションを行い、裏面シリコン酸化膜30より内側のP/P<sup>+</sup>型シリコン基板25内部にP<sup>+</sup>型アキュムレーション層29を形成する。次に、電気炉による加熱、ランプアニールまたはレーザーアニール等によりP<sup>+</sup>型アキュムレーション層29中のボロン原子にアクティベーションを行う。次に、サブストレイト36および金属配線37などの表面からシリコン窒化膜28をプラズマエッチング等で除去し、金属配線37のボンディングパッドを露出する(図20(b))。

【0117】次に、サブストレイト36をセラミックパッケージ32内部の底面にダイボンディングして組み込み、金属配線37のボンディングパッドおよびセラミックパッケージ32のリードをワイヤー31でワイヤーボンディングする。次に、検出対象のエネルギー線を紫外線とする場合、セラミックパッケージ32の上部にコルツ板の入射窓34を設置する(図20(c))。

【0118】一方、P/P<sup>+</sup>型シリコン基板25の裏面を下部開口を有するセラミックパッケージ32内部の底面にダイボンディングして組み込み、金属配線37のボンディングパッドおよびセラミックパッケージ32のリードをワイヤー31でワイヤーボンディングする。次に、検出対象のエネルギー線を紫外線とする場合、セラミックパッケージ32の下部にコルツ板の入射窓34を設置する(図20(d))。

【0119】上記の製造方法によれば、上記の第5製造方法と同様な作用が得られる。さらに、注入孔48から低融点ガラス41を注入してCCD26およびサブストレイト36の間隙を中央部から周辺部に充填していくことにより、CCD26およびサブストレイト36の間隙に残っている空気層44が排出口51を通過して除去される。そのため、CCD26の冷却使用時に冷却効率が向上するので、発生する暗電流が低減され、そのユニフォーム性は良好になる。

【0120】本発明は、上記諸実施例に限られるものではなく、種々の変形が可能である。例えば、上記諸実施例では、サブストレイトはセラミックから形成されてい

るが、CCDと比較して熱膨張係数がほぼ等しくて熱伝導性が良好であるシリコン、ガラス、または窒化アルミ等から形成されていても、同様な作用効果が得られる。

【0121】また、上記諸実施例では、金属配線上に金属バンプを成形する際にシリコン窒化膜を堆積しているが、金属バンプをワイヤーボンディングマシーンで成形する場合、シリコン窒化膜を堆積する必要は特になく、しかし、金属バンプを超音波法またはメッキ法で形成する場合、他の金属部分にバンプを形成しないようにシリコン窒化膜で被覆する必要がある。

【0122】また、上記諸実施例では、CCDおよびサブストレイトの間隙に低融点ガラスを充填しているが、エポキシ樹脂などを充填剤として用いてもよい。このような充填剤としては、CCDおよびサブストレイトに対する強い接着力およびほぼ等しい熱膨張係数、非導電性、良好な熱伝導性、化学エッチングに用いる酸系またはアルカリ系のエッチャントに対する耐久性等の性質が要求されている。また、数百度以上の高温に耐えれば、アキュムレーション時に熱処理を行いやすい。さらに、アウトガスを発生しなければ、この半導体エネルギー線検出器を電子衝撃型CCD撮像デバイスとして電子管に組み込んで行う真空引きの時に問題が起らない。

【0123】

【発明の効果】以上詳細に説明したように、本発明によれば、半導体基板上の金属バンプをサブストレイトの凹部または貫通孔に挿着することにより、半導体基板およびサブストレイトの位置合わせが行われる。また、銀ガラス等を介して半導体基板上の金属バンプとサブストレイト上の金属配線が接続される。そのため、容易かつ安価に、半導体基板およびサブストレイトをフリップチップボンディングすることができる。従って、製造時の作業性が向上する。

【0124】また、本発明によれば、半導体基板を薄板化する前に、半導体基板およびサブストレイトの間隙に絶縁性の充填剤が充填される。そのため、硬化時に充填剤が体積減少を生じても、エネルギー線検出器に歪み等の損傷が与えられることはない。従って、歩留まりが抑制され、生産性が向上する。

【0125】また、本発明によれば、半導体基板およびサブストレイトの間隙で当該充填剤を硬化させた後に、半導体基板は裏面側から薄板化される。そのため、エネルギー線の入射面となる半導体基板の裏面に凹凸などがほとんど生じないので、入射エネルギー線の乱反射が低減される。従って、エネルギー線検出器の感度が向上し、ダイナミックレンジが幾何学的に安定する。

【0126】また、本発明によれば、半導体基板の全体を裏面側から薄板化することにより、半導体基板は均一な厚さで薄板化される。そのため、入射光に対応する信号電荷がエネルギー線検出器に到達するために要する距離が、入射面上の位置に対して等しくなる。従っ



て、エネルギー線感度のユニフォミティが、入射面に対して均一になる。

【0127】さらに、本発明によれば、半導体基板およびサブストレイトの間に充填剤を注入する際に、残存している空気層が除去され、充填剤が充填される。そのため、エネルギー線検出器とサブストレイトとの間の熱伝導性が大きくなるので、エネルギー線検出器の冷却使用時に冷却効率が向上する。従って、発生する暗電流が低減され、信頼性が向上する。

【図面の簡単な説明】

【図1】本発明に係る半導体エネルギー線検出器の第1製造方法を示す工程断面図である。

【図2】本発明に係る半導体エネルギー線検出器の第1製造方法を示す工程断面図である。

【図3】フル・フレーム転送方式CCDの構成を示す上面図である。

【図4】フル・フレーム転送方式CCDの構成を示す要部断面図である。

【図5】(a)はフル・フレーム転送方式CCDにオンチップされた読み出し回路の例を示す説明図であり、

(b)はフル・フレーム転送方式CCDの転送電極に印加されるクロックパルス電圧と出力電圧の関係の例を示す波形図である。

【図6】本発明に係る半導体エネルギー線検出器の第2製造方法を示す工程断面図である。

【図7】本発明に係る半導体エネルギー線検出器の第2製造方法を示す工程断面図である。

【図8】本発明に係る半導体エネルギー線検出器の第3製造方法を示す工程断面図である。

【図9】本発明に係る半導体エネルギー線検出器の第3製造方法を示す工程断面図である。

【図10】本発明に係る半導体エネルギー線検出器の第4製造方法を示す工程断面図である。

【図11】本発明に係る半導体エネルギー線検出器の第4製造方法を示す工程断面図である。

【図12】本発明に係る半導体エネルギー線検出器の第5製造方法を示す工程断面図である。

【図13】本発明に係る半導体エネルギー線検出器の第5製造方法を示す工程断面図である。

【図14】本発明に係る半導体エネルギー線検出器の第

6製造方法を示す工程断面図である。

【図15】本発明に係る半導体エネルギー線検出器の第6製造方法を示す工程断面図である。

【図16】本発明に係る半導体エネルギー線検出器の第7製造方法を示す工程断面図である。

【図17】本発明に係る半導体エネルギー線検出器の第7製造方法を示す工程断面図である。

【図18】本発明に係る半導体エネルギー線検出器の第8製造方法を示す工程断面図である。

10 【図19】本発明に係る半導体エネルギー線検出器の第8製造方法を示す工程断面図である。

【図20】本発明に係る半導体エネルギー線検出器の第8製造方法を示す工程断面図である。

【図21】従来の裏面照射型CCDの構成を示す要部断面図である。

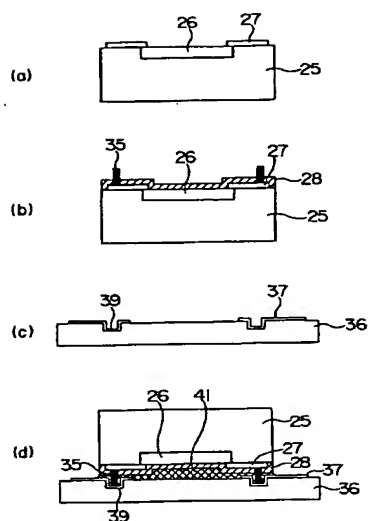
【図22】従来の裏面照射型CCDの製造方法を示す工程断面図である。

【図23】従来の裏面照射型CCDにおけるポテンシャルプロファイルを示す説明図である。

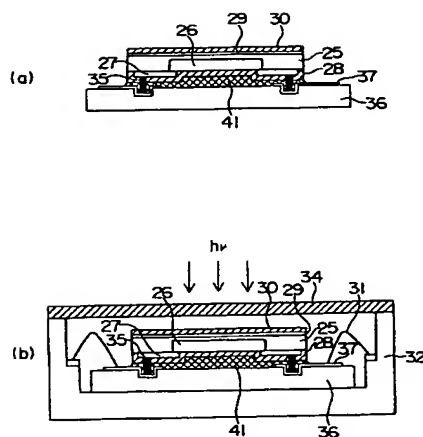
20 【符号の説明】

1…チャンネルストップ拡散層、2…垂直転送電極群、3…ポテンシャル井戸、4、24…P型シリコン基板、5…オーバーフローレイン、6…水平読み出しレジスタ、7…水平転送電極群、8…ドレイン、9…ソース、10…ゲート、11…出力電極、12…負荷抵抗、13…アウトプットゲート、14…フローティングディフュージョン、15…リセットゲート、16…リセットドレイン、17… $\phi_1$ に対する水平読み出しレジスタの最終段、18… $\phi_2$ に対する水平読み出しレジスタの最終段、19…PSG膜、20…ポリシリコン電極、21…ゲート酸化膜、22…N型チャンネル層、23、30…裏面シリコン酸化膜、25…P/P<sup>+</sup>型シリコン基板、26…CCD、27…アルミニウム配線、28…シリコン窒化膜、29…P<sup>+</sup>型アキュームレーション層、31…ワイヤー、32…セラミックパッケージ、33、41…低融点ガラス、34…入射窓、35、38…金属バンパ、36、50…サブストレイト、37…金属配線、39…凹部、40、42…貫通孔、43…銀ガラス、44…空気層、45…注入口、46…細孔、47…真空引き、48…注入孔、49…ニードル、51…排出口。

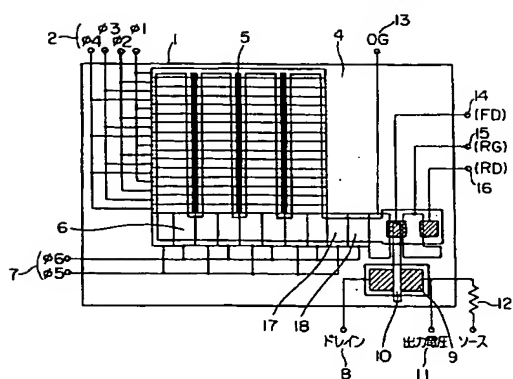
【図1】



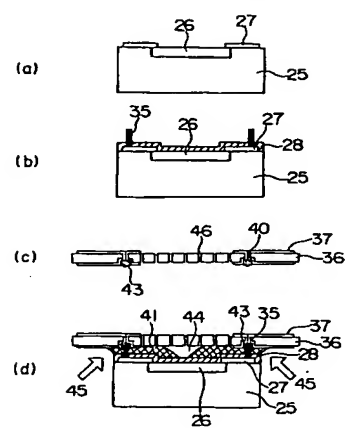
【図2】



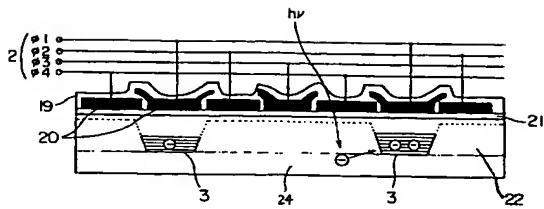
【図3】



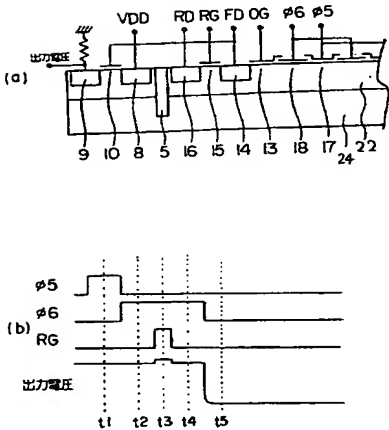
【図14】



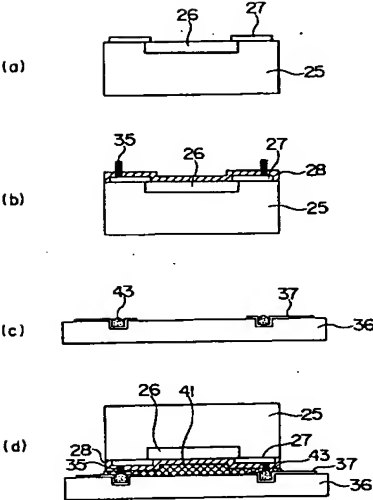
【図4】



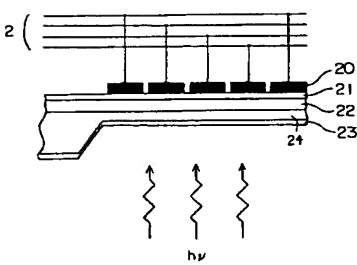
【図5】



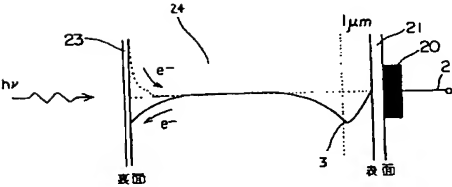
【図6】



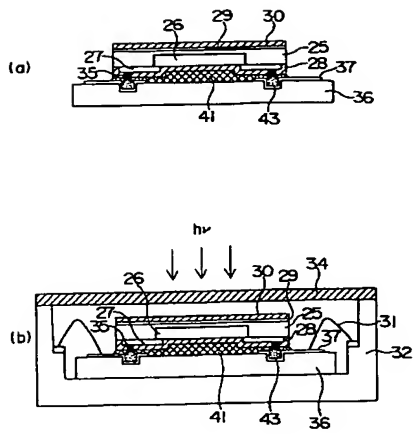
【図21】



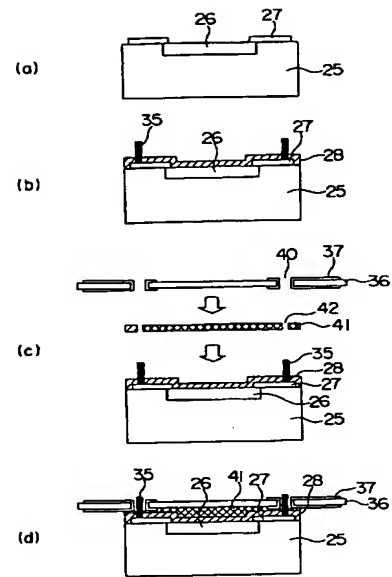
【図23】



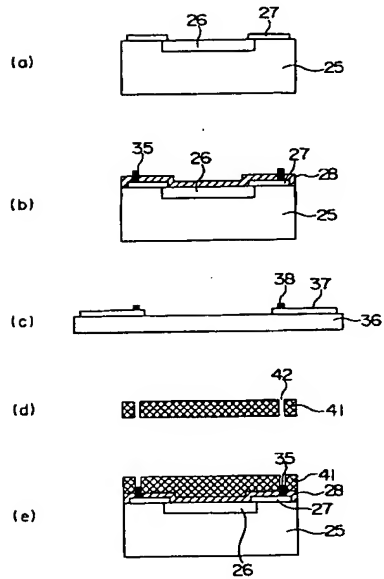
【図7】



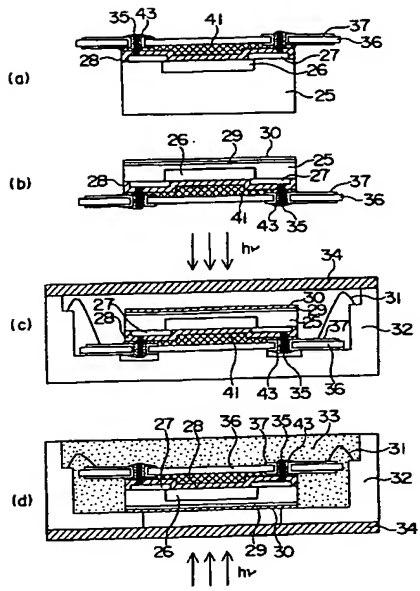
【図8】



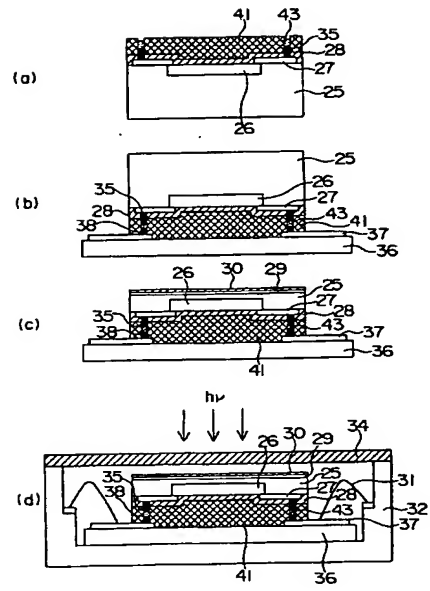
【図10】



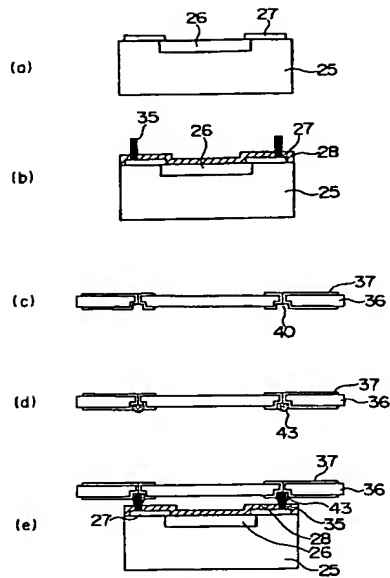
【図9】



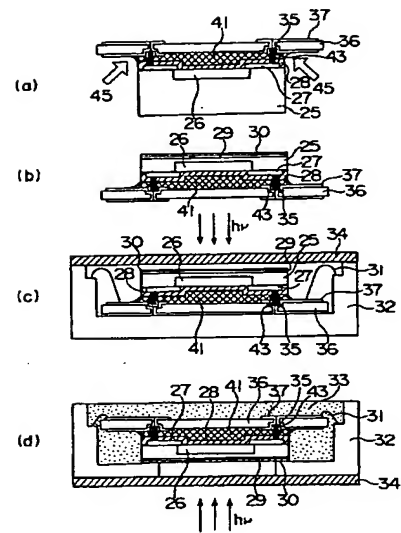
【図11】



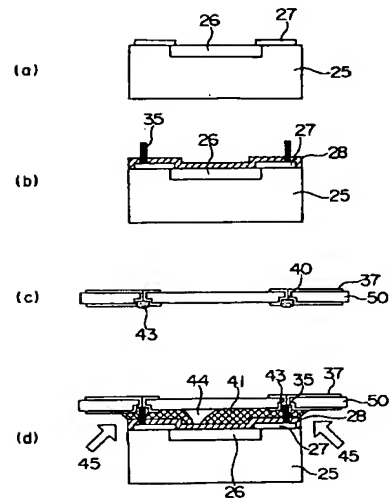
【図12】



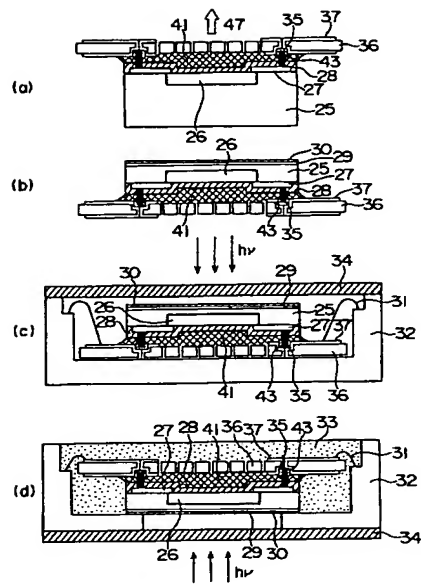
【図13】



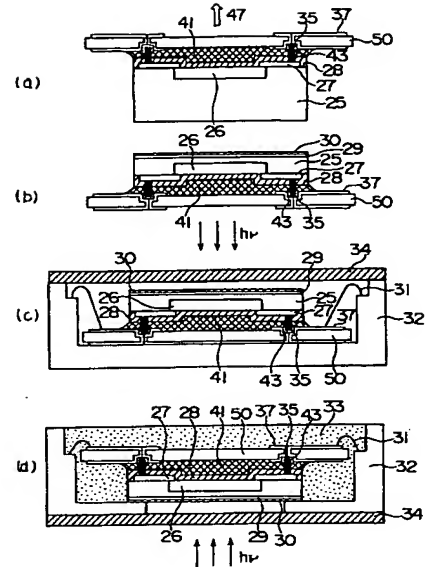
【図16】



【図15】

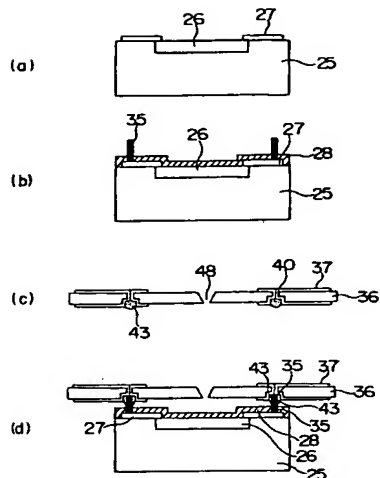


【図17】

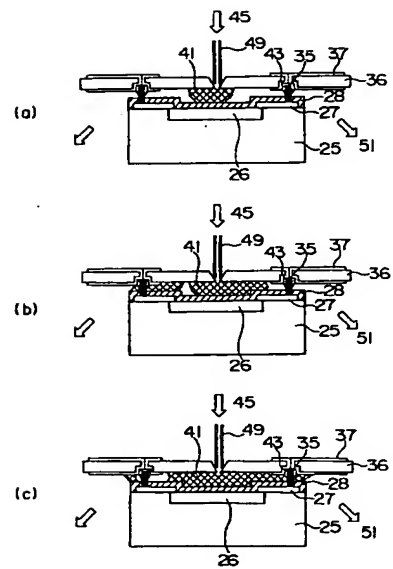




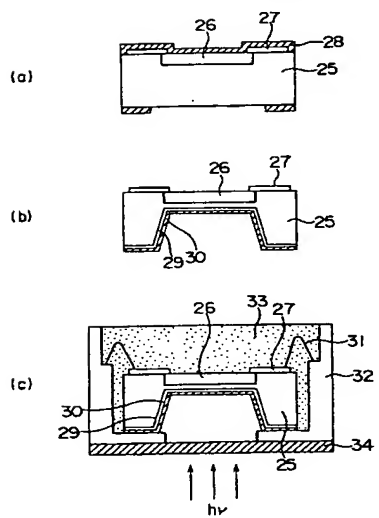
【図18】



【図19】



【図22】



【図20】

